

Korean Patent Application No. 1999-004474

7 A 7

Job No.: 228-124835

Ref.: KOREAN PATENTS/PU020297 US/RBL (Della)/Order Nos. ART21

Translated from Japanese by the McElroy Translation Company

800-531-9977

customerservice@mcelroytranslation.com

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)
(12) LAID-OPEN PATENT GAZETTE (A)

(11) LAID-OPEN NO. 1999-004474
(43) Publication Date: January 15, 1999

(51) Int. Cl.⁶:
H 04 L 12/56

| | |
|-------------------|---------------|
| (21) Filing No.: | 1997-028592 |
| (22) Filing Date: | June 28, 1997 |

| | |
|-----------------|---|
| (71) Applicant: | Hyundai Electronics Co., Ltd. Young-Hwan Kim 136-1 San, Ami-ri, Bubal-up, Ichon-shi, Kyonggi-do |
| (72) Inventors: | Yun-Kon Moon Rm. 205, 26-13 Samjeon-dong, Songpa-gu, Seoul-tukpyolshi Jin-Young Park 333-41 Usan-dong, Wonju-shi, Kangwon-do |
| (74) Agents: | Dong-Ho Yu Yong-Mi Lee |

Examination Request: Filed

(54) PACKET ROUTER DEVICE

(57) Abstract

The present invention pertains to a packet router device that is synchronized with an external global clock and that transmits packet data at a high rate in a system for transmitting control signals and specified data in units of packets, like a CDMA system. If a packet transmission ready signal is detected from a CPU of a transmission-side node, the packet data stored in Tx FIFO of the corresponding node are read by a Tx FIFO read clock synchronized with the global clock and stored in a shift register, and the address of the destination node for receiving the packet data is read from the upper 3 bytes of the packet data stored in the shift register. A reception-side node corresponding to the extracted destination address transmits the above-mentioned packet data to Rx FIFO. Therefore, instead of modifying the router device in terms of hardware to prevent the packets from being transmitted, the CPU accesses the register, so that the control of the router device is simple. In addition, this router device has a broadcasting function capable of simultaneously transmitting the same packet to all the nodes, so a TOD packet can be transmitted to channel cards, realizing a very efficient effect.

Representative figure:

Figure 1

Specification

Brief description of the figures

Figure 1 is a block diagram showing the packet router device of the present invention.

Figure 2 is a flow chart showing the operation of a detection part of Figure 1.

Figure 3 is a flow chart showing a read part of Figure 1.

Explanation of numerals of the main parts of the figures

- 1 Tx FIFO
- 2 Detection part

- 3 Read part
- 4 Shift register
- 5 Address filter
- 6 Write part
- 7 Rx FIFO

Detailed explanation of the invention

Purpose of the invention

Technical field of the invention and prior art of the field

The present invention pertains to a packet router device that is synchronized with an external global clock and that transmits packet data at a high rate in a system for transmitting control signals and specified data in units of packets, like a CDMA (Code Division Multiple Access) system.

In general, systems for transmitting data include line switching systems system and packet transmission systems. The line switching system is frequently adopted in an electronic switching system, and a communications line is set so that data to be transmitted can be transmitted at real time without delay.

In this line switching system, since a line must be occupied to transmit specified data, the line cannot be used efficiently, the difference in the communications cost is disproportionately large, and communications with other parties party using different communications rates is impossible.

On the contrary, the packet transmission system is a system that divides data to be transmitted into units of packets and transmits these packets and is frequently used in systems that mutually transmit control signals and data, like the CDMA system. The packet data to be transmitted are separated into a specified length, and a header showing the address of the other party for the transmission, etc., is attached to the data.

In this packet transmission system, since no line must be occupied to transmit the data, the line can be used efficiently, and communications with other parties using different transmission rates is possible.

In a conventional packet router device that searches for a destination address to which packet data is transmitted and that transmits the packet data, control signals are complicated, the time for extracting the destination address is long, and the time required for transmitting one packet data unit is was long because of asynchronous packet routing, which slows the overall routing speed.

In addition, since the router device is operated apart from a CPU, the internals of the router device must be modified each time the addressing system is changed, and since the router

device does not have the function of blocking unnecessary packets, transmitted from a specific node and a broadcasting function for of simultaneously transmitting the same packet to multiple different nodes from an arbitrary node, multi-loading is impossible. In case a TOD (Time of Day) packet is sent, it cannot be simultaneously sent to several slots of channel cards, and the packet is sent to the channel cards one slot at a time, causing a problem in the efficiency of the packet data transmission.

Technical problems to be solved by the invention

The present invention has been proposed to solve the above-mentioned problems, and its purpose is to provide a packet router device that transmits and controls packet data in sync with a global clock, that raises the routing speed, that is, the packet transmission speed between each node, because there is no delay in the packet stream when the address of a destination node is being extracted, that, can implement a blocking function or broadcasting function through the access of a CPU to a register, and that can simultaneously transmit a TOD packet to multiple channel cards.

In order to achieve this purpose, the packet routing device of the present invention is characterized by the fact that it reads packet data stored in Tx FIFO of the corresponding node by a Tx FIFO read clock synchronized with a global clock if a packet transmission ready signal is detected from a CPU of a transmission-side node, stores the packet data in a shift register, extracts a destination node for receiving the packet data from the upper 3 bytes of the packet data stored in the shift register, and transmits the above-mentioned packet data to Rx FIFO of a reception-side node corresponding to the extracted destination address.

Constitution and operation of the invention

Figure 1 is a block diagram showing the packet router device of the present invention. It consists of a transmission side Tx FIFO (1) that comprises nine nodes (NODE [8..0]) in total with 8 HDLC nodes (not shown in the figure) for HDLC communications with other boards and its own CPU node (not shown in the figure) and stores packet data transmitted by each transmission-side node; a detection part (CHECKER) (2) that detects whether or not a packet transmission ready signal (Packet Ready) exists from each of the above-mentioned transmission-side nodes node and that signals the reading read of the corresponding node (NODE [8..0]) in which the packet transmission ready signal exists; a read part (READER) (3) that reads the corresponding node if the corresponding node in which the packet transmission ready signal exists is detected by the above-mentioned detection part (2), that transmits its response signal (ACK) to the above-mentioned detection part (2), that outputs a Tx FIFO read clock (READ CLOCK [8..0]) of a global clock to the above-mentioned Tx FIFO (1) to transmit the packet data

stored in the Tx FIFO (1) of the corresponding node, that extracts a flag (Flag [1..0]) of the above-mentioned packet data, and that outputs an INPACKET signal if the flag is a valid packet; a shift register (4) that inputs and stores the packet data (TXD [8..0]) of the above-mentioned Tx FIFO (1) output by the Tx FIFO read clock of the above-mentioned read part (3), and that transmits the above-mentioned stored packet data (RXD [8..0]) to a reception-side node by an Rx FIFO write clock (WRITE CLOCK) of the global clock; an address filter (5) that extracts the address of a destination node from the upper 3 bytes of the packet data transmitted to the above-mentioned shift register (4) according to CPU data and an address signal and that outputs the destination node information (RESULT [8..0]); a write part (WRITER) (6) that outputs the Rx FIFO write clock for transmitting the packet data to the reception-side node by the above-mentioned shift register (4) according to the INPACKET signal of the above-mentioned read part (3) and the destination node information of the address filter (5); and an Rx FIFO (7) of the reception-side node for receiving the packet data of the shift register (4) transmitted by the Rx FIFO write clock of the above-mentioned write part (6).

The packet router device of the present invention is installed between the Tx FIFO (1) of the above-mentioned transmission-side nodes and the Rx FIFO (7) of the reception-side nodes and transmits packet data through Tx BUS.

The above-mentioned shift register (4) extracts the address of a destination node by address-filtering the first 3 bytes of a valid packet through the above-mentioned address filter (5), and the write part (6) prepares an Rx FIFO write clock and is made from 8 parts of a 9-bit D flip-flop because 8 clocks are required as a global clock.

In addition, the above-mentioned address filter (5) can realize a broadcasting function and a blocking function for blocking a specific node, not to mention an address filtering function. The operation of the packet router device of the present invention with the above-mentioned constitution will be explained with reference to Figures 2 and 3.

Figure 2 is a flow chart showing the operation of the detection part (2) of Figure 1, and Figure 3 is a flow chart showing the read part (3) of Figure 1.

First, the operation of the detection part (2) will be explained with reference to the flow chart of Figure 2. Whether or not a packet transmission ready signal exists at each node is detected, starting from the first node among the transmission-side nodes (S1).

At the above-mentioned step (S1), if it is detected that the packet transmission ready signal exists at the first node (S2), the above-mentioned detection part (2) requests the read part (3) to read the first node in which there is the packet data to be transmitted, that is, the corresponding node (NODE [8..0]), while informing the read part of the existence of the packet transmission ready signal, that is, the packet transmission request signal at the first node (S3).

Next, the detection part (2) confirms whether or not there is a response signal (ACK) showing the reception of the request signal for reading the first node, in which there is the packet data, from the read part (3) (S4). If the response signal has not been received, the flow waits until the reception of the response signal, and the next node is detected.

If the response signal is well received, the flow advances to the next node similar to the case where the packet transmission ready signal is not detected from the first node, and the existence of the packet transmission ready signal is detected again (S5).

Next, the operation of the read part (3) that is connected with the operation of the above-mentioned detection part (2) will be explained with reference to Figure 3. First, the read part (3) at standby (S11) confirms whether or not there is a packet transmission ready request signal for reading the corresponding node (NODE [8..0]) in which the packet transmission ready signal has been detected from the detection part (2) (S12).

At the above-mentioned step (S12), if there is a packet transmission ready request signal, the read part (3) outputs a response signal (ACK) showing the reception of the packet transmission ready request signal to the above-mentioned detection part (2) and outputs a Tx FIFO read clock (READ CLOCK [8..0]) capable of reading 1 byte for each clock pulse of a global clock to the above-mentioned Tx FIFO (1) (S13).

Therefore, the packet data (TXD [8..0]) stored in the Tx FIFO (1) of the corresponding node (NODE [8..0]) are transmitted 1 byte by 1 byte to the above-mentioned shift register (4) by the Tx FIFO read clock synchronized with the global clock.

Next, the read part (3) extracts a flag from the upper 2 bits of the 1-byte packet data (TXD) and these bits are transmitted to the above-mentioned shift register (4), (S14) where it is decided whether the flag is the start or the end of the packet data (S15, S17).

At that time, if the upper 2 bits are '10,' the flag is regarded as the start of the pack data, and if these bits are '11,' the flag is regarded as the end of the packet data. The byte for discriminating the start and the end is a dummy byte, and each node inserts the dummy byte between the start and the end of the packet data.

At the above-mentioned step (S15), if the start of the packet data is detected, the read part (3) outputs an INPACKET signal for notifying valid packet data to the write part (6) (S6), and if the end of the packet data is detected, at above-mentioned step (S17), the read part disables the INPACKET signal for notifying the end of the valid packet data (S18).

On the other hand, after receiving the input of the packet data stored in the Tx FIFO (1) by the Tx FIFO read clock which is output from the read part (3), the shift register (4) is synchronized with an Rx FIFO write clock of the global clock, which is output from the write part (6), and transmits the packet data in units of bytes to the corresponding destination node of the reception side.

At that time, the destination node address of the above-mentioned packet data to be transmitted is detected through an address filtering function of the address filter (5).

In other words, the address filter (5) receives the input of the data and the address signal from the CPU, extracts the first 3 bytes of the valid packet data containing the destination address information transmitted to the shift register (4) from the Tx FIFO (1), and outputs the destination node information (RESULT [8..0]) of the reception side to the write part (6).

On the other hand, the above-mentioned address filter (5) is made through the use of an RAM in FPGA and can realize a broadcasting function for transmitting the packet data to multiple nodes at the same time and can realize a blocking function for blocking a specific node, not to mention the address filtering function.

The above-mentioned address filtering function is a function that writes data in the RAM of the address filter (5) according to the destination address information of each node by the CPU and outputs the destination node information (RESULT [8..0]), which is designated from the designation address RAM of the packets, to the write part (6). Only the bits of the destination node are output as '1'.

The above-mentioned broadcasting function is decided by the first byte of three bytes of the valid packet data, and after the CPU sets a value signifying the broadcasting mode in the register, if it is compared with the above-mentioned first byte, the packets are transmitted to all the nodes with addresses corresponding to the other two bytes.

In addition, the function of blocking a specific node can be simply realized by an exclusive OR (XOR) of 9 bits corresponding to each node set in the register by the CPU and the destination node information.

Finally, the write part (6) receives the INPACKET signal for notifying the valid packets output from the read part (3), delays the signal by the filtering time of the destination address of the address filter (4), latches the destination node information (RESULT [8..0]) output from the above-mentioned address filter (5) by means of the delayed signal, and generates an Rx FIFO write clock capable of writing 1 byte in FIFO of the destination node for each 1 clock pulse of the global clock.

Therefore, the packet data is output from the above-mentioned shift register (4) according to the Rx FIFO write clock that is generated from the above-mentioned write part (6) to the Rx FIFO (7) of the corresponding reception-side destination node.

Effect of the invention

As explained above, according to the present invention, while the address filter (5) carries out an address filtering, since the packet transmission of the above-mentioned shift register (4) cannot be interrupted, high-speed data transmission is made possible.

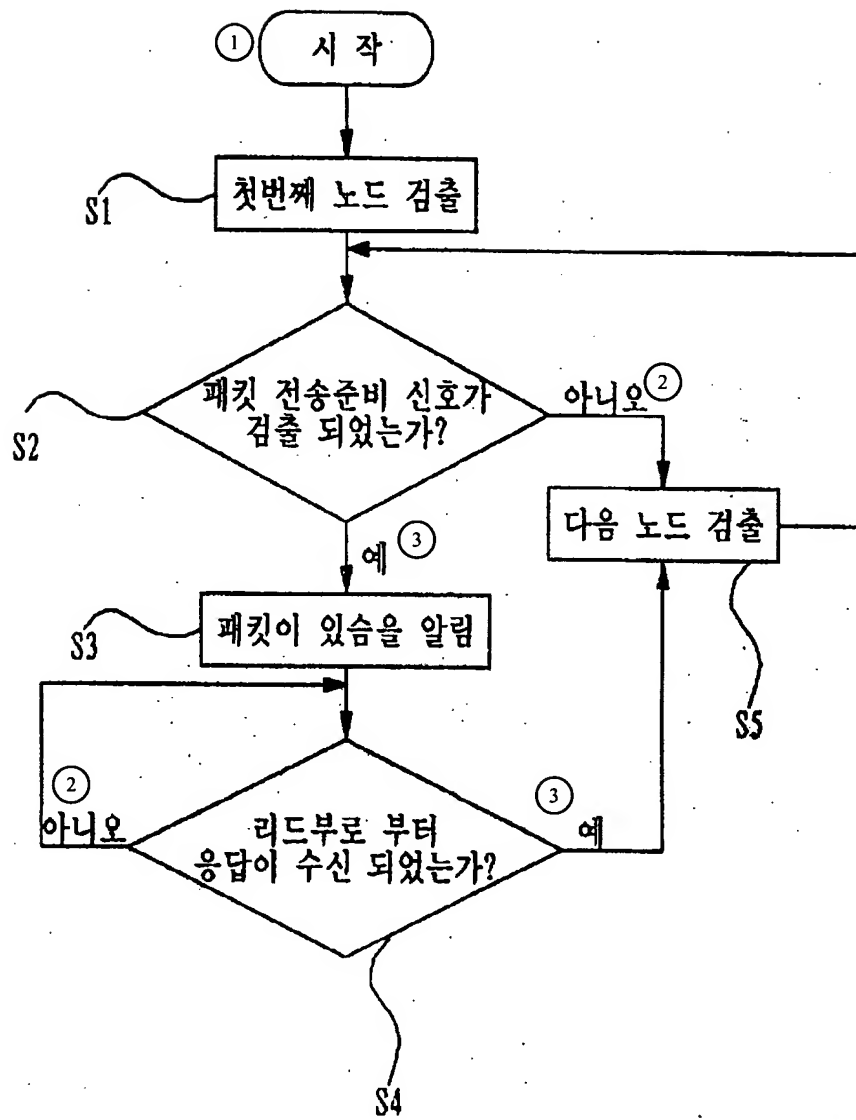
In addition, in packet communications, in order to prevent the system of a destination node address from being changed or to prevent packets from being transmitted to unnecessary nodes, the CPU accesses the register instead of having to modify the hardware of the router device, so that the control of the router device is simple. Moreover, since this router device has a broadcasting function capable of simultaneously transmitting the same packet to all the nodes, multi-loading is possible, and a TOD packet can be transmitted by a channel card, realizing a high efficiency.

Furthermore, since the packets are transmitted without an interruption by being synchronized with a global clock, the routing speed is improved, speeding up the packet transmission speed between each node.

Claims

1. Packet router device, characterized by the fact that it consists of a detection part (2) that detects whether or not there is a packet transmission ready signal from the transmission-side nodes and notifies the reading read of the corresponding node in which the packet transmission ready signal exists; a read part (3) that reads the corresponding node if the corresponding node with the packet transmission ready signal is detected by the above-mentioned detection part (2), that transmits its response signal to the above-mentioned detection part (2), that outputs a Tx FIFO read clock of a global clock to the above-mentioned Tx FIFO (1) to transmit the packet data stored in the Tx FIFO (1) of the corresponding node, that extracts a flag of the above-mentioned packet data, and that outputs an INPACKET signal if the flag is a valid packet; a shift register (4) that inputs and stores the packet data of the above-mentioned Tx FIFO (1) output by the Tx FIFO read clock of the above-mentioned read part (3), and that transmits the above-mentioned stored packet data to a reception-side node according to an Rx FIFO write clock of the global clock; an address filter (5) that extracts the address of a destination node from the upper 3 bytes of the packet data transmitted to the above-mentioned shift register (4) according to CPU data and an address signal and that outputs the destination node information; and a write part (6) that outputs the Rx FIFO write clock for transmitting the packet data to an RF FIFO (7) of the reception-side node by the above-mentioned shift register (4) according to the INPACKET signal of the above-mentioned read part (3) and the destination node information of the address filter (5).

2. The packet router device of Claim 1, characterized by the fact that the above-mentioned address filter (5) extracts the first byte of three bytes of the valid packet data transmitted to the above-mentioned shift register (4), compares the value used to indicate the broadcasting mode set in the register by the CPU with the above-mentioned extracted first byte,



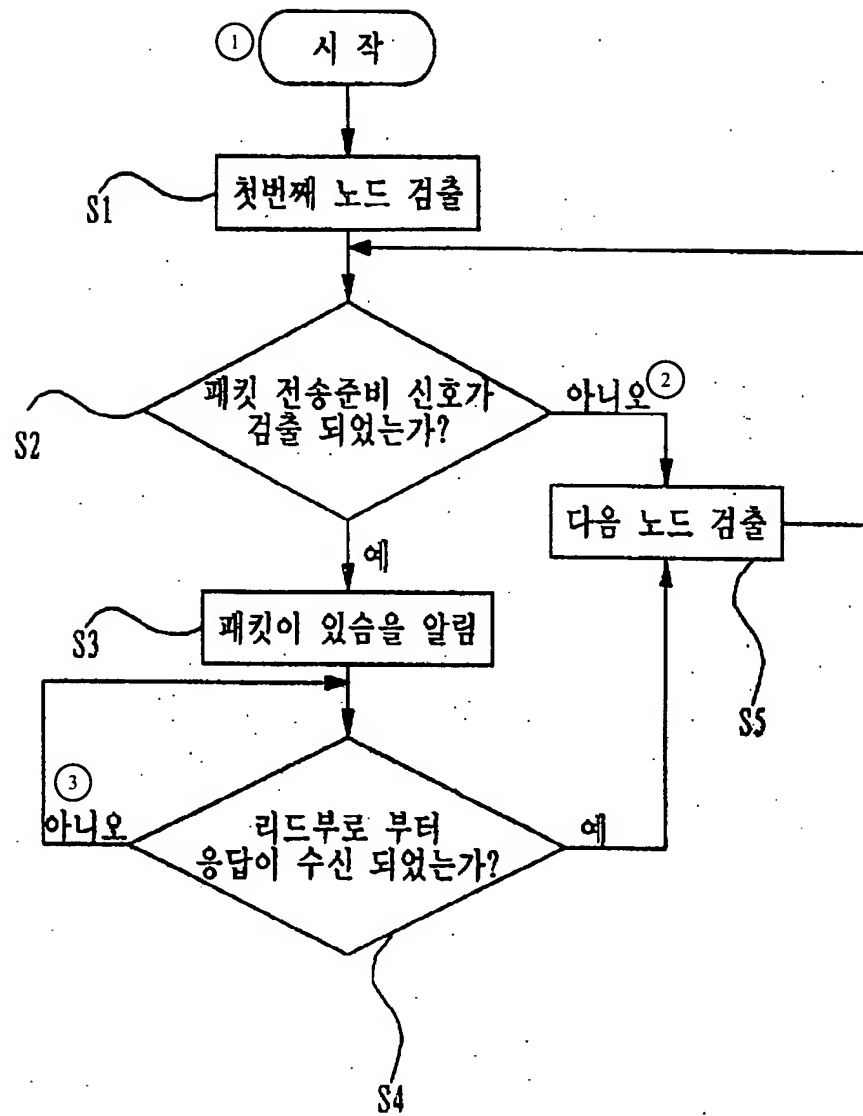
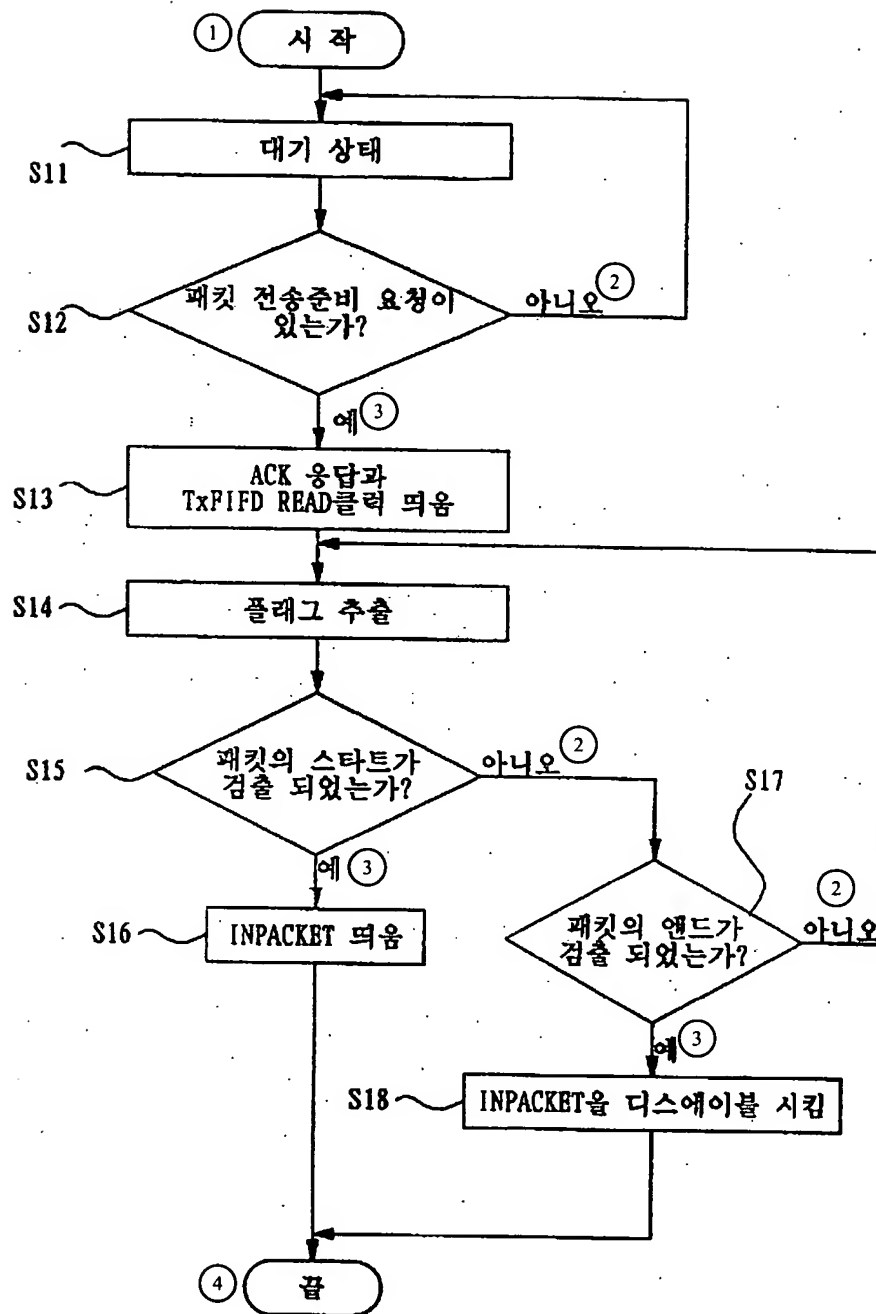


Figure 2

| | | |
|------|----|---|
| Key: | 1 | Start |
| | 2 | No |
| | 3 | Yes |
| | S1 | Detection of the first node |
| | S2 | Has the packet transmission ready signal been detected? |
| | S3 | Notification of the existence of packets |
| | S4 | Has a response been received from the read part? |
| | S5 | Next node detection |



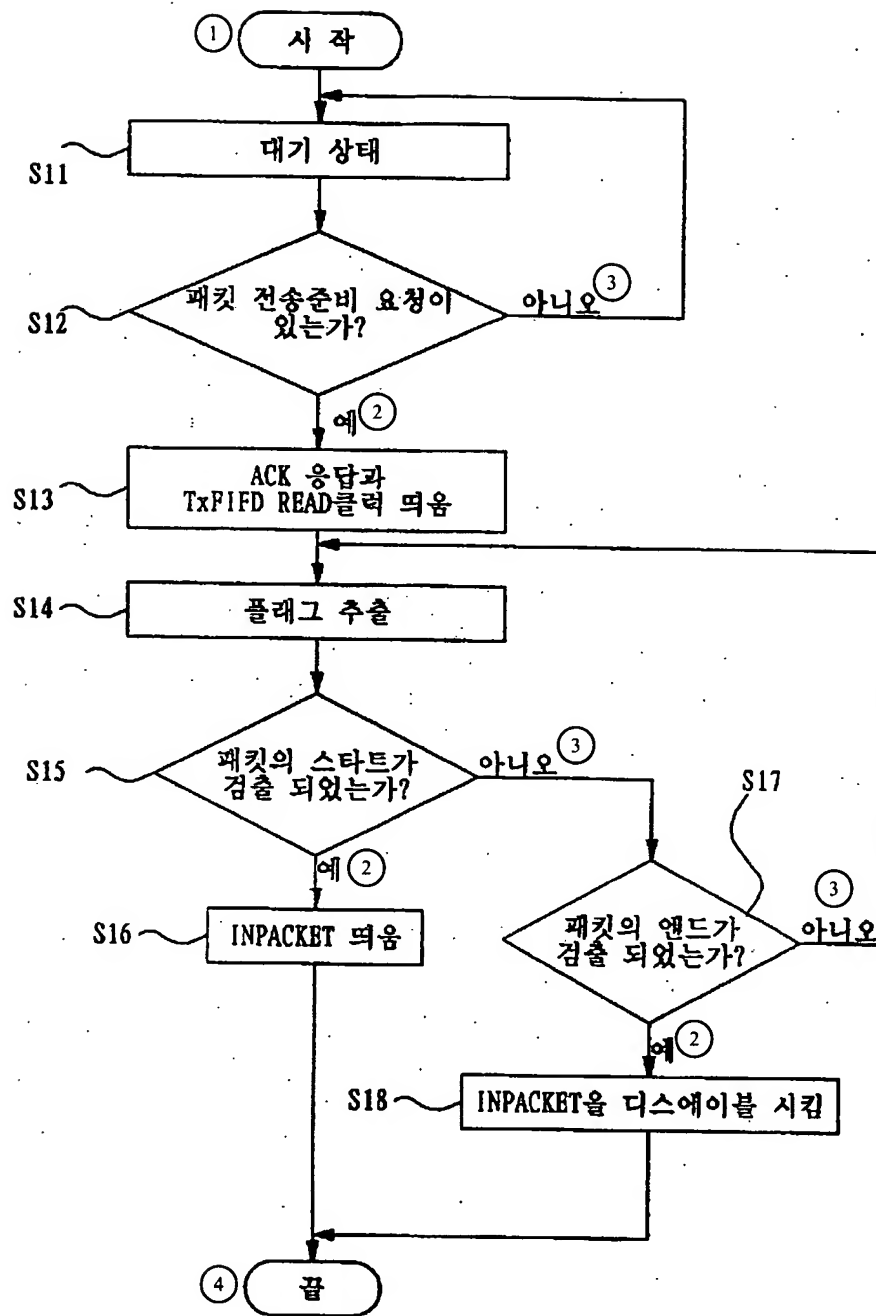


Figure 3

Key: 1 Start
 2 No
 3 Yes
 4 End
 S11 Standby
 S12 Is there a packet transmission ready request?

- S13 ACK response and Tx FIFD READ clock output
- S14 Flag extraction
- S15 Has the start of the packet been detected?
- S16 INPACKET output
- S17 Has the end of the packet been detected?
- S18 Disabling of INPACKET

공개특허 제1999-4474호(1999.01.15.) 1부.

특 1999-004474

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H04L 12/56

(11) 공개번호 특1999-004474
(43) 공개일자 1999년01월 15일

(21) 출원번호 특1997-028592
(22) 출원일자 1997년06월28일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 문윤곤
서울특별시 송파구 삼전동 26-13호 205호
박진영
강원도 원주시 우산동 333-41
(74) 대리인 유동호, 이용미

심사청구 : 있음

(54) 패킷 라우터장치

요약

본 발명은 CDMA 시스템과 같이 패킷을 단위로 하여 제어신호 및 소정의 데이터를 전송하는 시스템에 있어서, 외부 글로벌 클럭에 동기되어 패킷 데이터를 고속으로 전송할 수 있는 패킷 라우터장치에 관한 것으로, 송신측 노드의 CPU로부터 패킷 전송 준비신호가 검출되면 해당 노드의 Tx FIFO에 저장된 패킷 데이터를 글로벌 클럭에 동기된 Tx FIFO 리드 클럭에 의해 리드하여 쉬프트 레지스터에 저장하고, 이 쉬프트 레지스터에 저장되는 패킷 데이터의 상위 3바이트로부터 패킷 데이터를 수신할 목적지 노드의 어드레스를 추출한 후, 이 추출된 목적지 어드레스에 해당하는 수신측 노드가 Rx FIFO로 상기 패킷 데이터를 전송하도록 함으로써, 패킷이 전송되는 것을 막기 위해 하드웨어적으로 라우터장치를 수정하는 대신 CPU가 레지스터를 액세스함으로써 라우터장치의 제어가 간단하며, 모든 노드에 동일한 패킷을 동시에 전송할 수 있는 브로드캐스팅 기능이 있어 멀티로딩이 가능하고 채널카드로 TDD 패킷 전송을 할 수 있어 매우 효율적인 효과가 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 패킷 라우터장치의 블록 구성도.

도 2는 도 1의 검출부의 동작 흐름도.

도 3은 도 1의 리드부의 동작 흐름도.

도면의 주요부분에 대한 부호의 설명

- | | |
|------------|-------------|
| 1: Tx FIFO | 2: 검출부 |
| 3: 리드부 | 4: 쉬프트 레지스터 |
| 5: 어드레스 필드 | 6: 라이트부 |
| 7: Rx FIFO | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 CDMA(Code Division Multiple Access) 시스템과 같이 패킷(packet)을 단위로 하여 제어신호 및 소정의 데이터를 전송하는 시스템에 있어서, 외부 글로벌 클럭(Global Clock)에 동기되어 패킷 데이터를 고속으로 전송할 수 있는 패킷 라우터장치에 관한 것이다.

일반적으로 데이터를 전송하는 방식으로는 회선 교환 방식과 패킷 전송 방식이 있는데, 회선 교환 방식은 전자 교환 방식에서 많이 채용되고 있는 것으로, 전송할 데이터를 지연시키지 않고 실시간으로 전송할 수 있도록 통신로를 설정하는 교환 방식이다.

이러한 회선 교환 방식으로 소정의 데이터를 전송하기 위해서는 회선을 점유해야 하므로 회선을 유효하게 사용하지 못하고, 거리에 따른 통신비용의 차이가 심하며, 통신 속도가 상이한 상대방과는 통신할 수 없었다.

이에 비해, 패킷 전송방식은 전송할 데이터를 패킷 단위로 나누어 전송하는 방식으로, CDMA 시스템과 같이 제어신호 및 데이터를 상호간에 전송하는 시스템에서 많이 사용되고 있으며, 이때 패킷 데이터는 전송할 데이터를 미리 정해진 길이로 분리하고, 전송하고, 전송할 상대방의 어드레스 등을 나타내는 헤더를 붙인 것을 말한다.

이러한 패킷 전송 방식은 데이터를 전송할 경우에 회선을 점유하지 않아도 되므로 회선을 유효하게 사용할 수 있고, 통신 속도가 상이한 상대방과도 통신할 수 있는 장점이 있다.

패킷 데이터에서 그 패킷 데이터를 전송할 목적지 어드레스(Destination Address)를 찾아 전송하는 종래의 패킷 라우터장치는 제어신호가 복잡하여 목적지 어드레스를 추출하는 시간이 길고, 패킷 라우팅을 비동기(Asynchronous)적으로 수행함에 따라 한 개의 패킷 데이터를 전송하는데 걸리는 시간이 많이 소요되어 전체적으로 라우팅 속도가 느렸다.

또한, 라우터장치가 CPU와 별개로 동작함에 따라 어드레스 체계가 바뀌면 그때마다 라우터장치의 내부를 수정해야 하고, 특정 노드에서 오는 패킷이 불필요할 때 블로킹(Blocking)하는 기능과 임의의 노드에서 다수의 다른 노드에 동일 패킷을 동시에 전송하는 브로드캐스팅(Broadcasting) 기능이 없어 멀티로딩(Multiloading)을 수행하지 못하며, TDD(Time Of Day) 패킷을 보낼 경우 한꺼번에 여러 장의 채널 카드로 보내지 못하고 한 번에 채널카드 한 장씩 보냄에 따라 패킷 데이터 전송이 매우 효율적인 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 그 목적은 패킷 데이터의 전송 및 재어가 글로벌 클럭에 동기화되어 이루어지도록 하여 목적지 노드의 어드레스를 추출하는 동안 패킷의 흐름을 지체시키지 않아 라우팅 속도, 즉 각 노드간 패킷 전송속도를 증가시키도록 하고, CPU가 레지스터를 액세스함에 따라 블로킹 기능 또는 브로드캐스팅 기능을 수행할 수 있고 TDD 패킷을 다수의 채널카드에 동시에 전송할 수 있도록 한 패킷 라우터장치를 제공하는 데에 있다.

이러한 목적을 달성하기 위한 본 발명의 패킷 라우터장치는 송신측 노드의 CPU로부터 패킷 전송 준비신호가 검출되면 해당 노드의 Tx FIFO에 저장된 패킷 데이터를 글로벌 클럭에 동기된 Tx FIFO 리드 클럭에 의해 리드하여 쉬프트 레지스터에 저장하고, 이 쉬프트 레지스터에 저장되는 패킷 데이터의 상위 3바이트로부터 패킷 데이터를 수신할 목적지 노드의 어드레스를 추출한 후, 이 추출된 목적지 어드레스에 해당하는 수신측 노드의 Rx FIFO로 상기 패킷 데이터를 전송하도록 함을 특징으로 한다.

발명의 구성 및 작용

도 1은 본 발명에 의한 패킷 라우터장치의 블록 구성도로서, 타 보드(Board)와 HDLC통신하는 8개의 HDLC 노드(도시하지 않음)와 자신의 CPU 노드(도시하지 않음)를 합쳐 9개 노드(NODE[8..0])내에 구성되어 각 송신측 노드가 전송하고자 하는 패킷 데이터를 저장하는 송신측 Tx FIFO(1)와, 상기 각 송신측 노드로부터 패킷 전송 준비신호(Packet Ready)가 있는지를 검출하여 패킷 전송 준비신호가 있는 해당 노드(NODE[8..0])를 리드하도록 알리는 검출부(CHECKER)(2)와, 상기 검출부(2)로부터 패킷 전송 준비신호가 있는 해당 노드가 알리지면 이를 리드하고 이에 따른 응답신호(ACK)를 상기 검출부(2)로 전송하며, 해당 노드의 Tx FIFO(1)에 저장된 패킷 데이터를 전송하기 위해 글로벌 클럭에 따른 Tx FIFO 리드 클럭(READ CLOCK[8..0])을 상기 Tx FIFO(1)에 출력하고, 상기 패킷 데이터의 플래그(Flag[1..0])를 추출하여 유효 패킷인 경우 인패킷(INPACKET) 신호를 출력하는 리드부(READER)(3)와, 상기 리드부(3)의 Tx FIFO 리드 클럭에 의해 출력되는 상기 Tx FIFO(1)의 패킷 데이터(TXD[8..0])를 입력하여 저장하고, 글로벌 클럭에 따른 Rx FIFO 라이트 클럭(WRITE CLOCK)에 의해 상기 저장된 패킷 데이터(RXD[8..0])를 수신측 노드로 전송하는 쉬프트 레지스터(Shift Register)(4)와, CPU 데이터와 어드레스 신호에 따라 상기 쉬프트 레지스터(4)에 전송된 패킷 데이터의 상위 3바이트(Byte)에서 목적지 노드의 어드레스를 추출하여 목적지 노드 정보(RESULT[8..0])를 출력하는 어드레스 필터(ADDRESS FILTER)(5)와, 상기 리드부(3)의 인패킷 신호와 어드레스 필터(5)의 목적지 노드 정보에 따라 상기 쉬프트 레지스터(4)가 패킷 데이터를 수신측 노드로 전송하기 위한 Rx FIFO 라이트 클럭에 의해 출력하는 라이트부(WRITER)(6)와, 상기 라이트부(6)의 Rx FIFO 라이트 클럭에 의해 전송되는 쉬프트 레지스터(4)의 패킷 데이터를 수신하는 수신측 노드의 Rx FIFO(7)로 구성된다.

본 발명에 의한 패킷 라우터장치는 상기 송신측 노드의 Tx FIFO(1)와 수신측 노드의 Rx FIFO(7) 사이에 구성되며, Tx BUS를 통해 패킷 데이터를 전송하게 된다.

상기 쉬프트 레지스터(4)는 상기 어드레스 필터(5)가 유효 패킷의 첫 3바이트를 어드레스 필터링하여 목적지 노드의 어드레스를 추출하고, 라이트부(6)가 Rx FIFO 라이트 클럭을 만드는데 각각 글로벌 클럭으로 8 클럭을 소요함에 따라 8개의 9비트 0-풀업플롭으로 구성되게 된다.

그리고 상기 어드레스 필터(5)는 어드레스 필터링하는 기능은 물론 브로드캐스팅 기능과 특정 노드를 블로킹하는 블로킹 기능을 구현할 수 있다. 상기와 같이 구성된 본 발명의 패킷 라우터장치의 동작을 도 2 및 도 3을 참조하여 설명하면 다음과 같다.

도 2는 도 1의 검출부(2)의 동작 흐름도이고, 도 3은 도 1의 리드부(3)의 동작 흐름도이다.

먼저, 검출부(2)의 동작을 도 2의 흐름도를 참조하여 설명하면, 송신측 각노드 중 첫 번째 노드부터 시작하여 각 노드에 패킷 전송 준비신호가 있는지를 검출한다(S1).

상기 단계(S1)에서 첫 번째 노드에 패킷 전송 준비신호가 있음을 검출하면 (S2), 상기 검출부(2)는 리드부(3)로 첫 번째 노드에 패킷 전송 준비신호(Packet Ready), 즉 패킷 전송 요청신호가 있음을 알려면서 전송하고자 하는 패킷 데이터가 있는 첫 번째 노드, 즉 해당 노드(NODE[8..0])를 리드하도록 요구한다(S3).

이어, 검출부(2)는 리드부(3)로부터 패킷 데이터가 있는 첫 번째 노드를 리드하도록 한 요구신호를 수신하였다는 응답신호(ACK)가 있는지를 확인하여(S4), 응답신호가 수신되지 않았다면 수신될 때까지 기다렸다가 그 다음 노드를 검출하도록 한다.

그리고 응답신호가 잘 수신되었다면, 첫 번째 노드부터 패킷 전송 준비신호가 검출되지 않은 경우와 마찬가지로 그 다음 노드로 진행하여 패킷 전송 준비신호의 유무를 다시 검출하도록 한다(S5).

이어, 상기 검출부(2)의 동작과 연결되는 리드부(3)의 동작을 도 3을 참조하여 설명하면, 먼저 대기 상태(S11)에 있는 리드부(3)는 검출부(2)로부터 패킷 전송 준비신호가 검출된 해당 노드(NODE[8/0])를 리드하도록 하는 패킷 전송 준비 요청신호가 있는가를 확인한다(S12).

상기 단계(S12)에서 패킷 전송 준비 요청신호가 있다면 리드부(3)는 상기 검출부(2)로 패킷 전송 준비 요청신호를 잘 받았다는 응답신호(ACK)를 출력하는 동시에 글로벌 클럭의 1클럭마다 1 바이트를 읽을 수 있는 Tx FIFO 리드 클럭(READ CLOCK[8..0])을 상기 Tx FIFO(1)에 출력한다(S13).

이에 따라, 글로벌 클럭에 동기된 Tx FIFO 리드 클럭에 의해 해당 노드(NODE[8..0])의 Tx FIFO(1)에 저장된 패킷 데이터(TX0[8..0])가 1 바이트씩 상기 쉬프트 레지스터(4)에 전송되게 된다.

이어, 리드부(3)는 상기 쉬프트 레지스터(4)에 전송되는 1 바이트씩의 패킷 데이터(TX0)의 상위 2 비트인 플래그를 추출하여(S14) 패킷 데이터의 스타트(Start)인지 엔드(End)인지를 각각 판단한다(S15, S17)

이때, 상위 2비트가 '10'이면 패킷 데이터의 스타트로 간주하고, '11'이면 패킷 데이터의 엔드로 간주하게 되는데, 이 스타트와 엔드를 구분하는 바이트는 더미 바이트(Dummy Byte)로 각 노드가 패킷 데이터의 스타트와 엔드에 삽입시켜 주는 것이다.

그리고 상기 단계(S15)에서 패킷 데이터의 스타트가 검출되면 리드부(3)는 유효 패킷 데이터임을 알리는 인팩트(INPACKT) 신호를 라이트부(6)로 출력하고(S6), 상기 단계(S17)에서 패킷 데이터의 엔드가 검출되면 유효 패킷 데이터가 끝남을 알리기 위해 인팩트신호를 디스에이블(Disable)시킨다(S18).

한편, 리드부(3)에서 출력되는 Tx FIFO 리드 클럭에 의해 Tx FIFO(1)에 저장된 패킷 데이터를 입력받은 쉬프트 레지스터(4)는 라이트부(6)에서 출력되는 글로벌 클럭에 따른 Rx FIFO 라이트 클럭에 동기되어 바이트 단위로 패킷 데이터를 수신측의 해당하는 목적지 노드로 전송하게 된다.

이때, 상기 전송할 패킷 데이터의 목적지 노드인 어드레스는 어드레스 필터(5)의 어드레스 필터링 기능을 통해 검출되게 된다.

즉, 어드레스 필터(5)는 CPU로부터 데이터와 어드레스 신호를 입력받아 Tx FIFO(1)에서 쉬프트 레지스터(4)로 전송된 목적지 어드레스 정보가 들어 있는 유효 패킷 데이터의 첫 3 바이트를 추출하여 수신측의 목적지 노드 정보(RESULT:8..0)를 라이트부(6)로 출력한다.

한편, 상기 어드레스 필터(5)는 FPGA내의 램을 이용하여 구성되며, 어드레스 필터링 기능은 물론 다수의 노드로 패킷 데이터를 한 번에 전송하는 방송 기능을 갖는 브로드캐스팅 기능과 특정 노드를 브로킹하는 기능을 구현할 수 있다.

상기 어드레스 필터링 기능은 CPU가 각 노드의 목적지 어드레스 정보에 맞게 어드레스 필터(S)에 있는 램에 데이터를 라이트해두고 패킷의 목적지 어드레스 램에서 지정하는 목적지 노드 정보 (RESULT[8..0])를 라이트부(6)로 출력하는 기능으로, 목적지 노드의 비트만 '1'로 만들어 출력하게 된다.

상기 브로드캐스팅 기능은 유효 패킷 데이터의 3 바이트 중 첫 바이트로 판단하는데, CPU가 브로드캐스팅을 의미하는 값을 레지스터에 셋팅시킨 후 상기 첫 바이트와 비교하여 같으면 나머지 2 바이트에 해당하는 어드레스의 모든 노드로 패킷을 전송하는 것이다.

그리고 특정 노드를 브로킹하는 기능은 CPU가 레지스터에 셋팅시킨 각 노드에 해당하는 9비트와 목적지 노드 정보를 배타적 논리합(XOR)시켜 간단히 구현할 수 있다.

최종적으로, 라이트부(6)는 리드부(3)로부터 출력되는 유효 패킷임을 알리는 인팩트 신호를 수신하여 어드레스 필터(4)에 의해 목적지 어드레스가 필터링되는 시간만큼 지연시켰다가, 이 지연된 신호를 통해 상기 어드레스 필터(5)로부터 출력되는 목적지 노드 정보(RESULT[8..0])를 래치(Latch)하고 글로벌 클럭의 1 클럭마다 1 바이트를 목적지 노드의 FIFO에 라이트할 수 있는 Rx FIFO 라이트 클럭을 생성한다.

따라서, 상기 라이트부(6)에서 생성되는 Rx FIFO 라이트 클럭에 따른 상기 쉬프트 레지스터(4)에서 출력되는 패킷 데이터가 해당하는 수신측 목적지 노드의 Rx FIFO(7)에 전송되게 된다.

발명의 효과

이상, 상기 설명에서와 같이 본 발명은 어드레스 필터(5)가 어드레스 필터링하는 동안 상기 쉬프트 레지스터(4)의 패킷 전송이 중단되지 않으므로 고속의 데이터 전송에 가능하다.

그리고, 패킷 통신을 할 때 목적지 노드 어드레스의 체계가 바뀌거나 또는 불필요한 노드로 패킷이 전송되는 것을 막기 위해 하드웨어적으로 라우터장치를 수정하는 대신 CPU가 레지스터를 액세스함으로써 라우터 장치의 제어가 간단하며, 모든 노드에 동일한 패킷을 동시에 전송할 수 있는 브로드캐스팅 기능이 있어 멀티로딩이 가능하고 채널카드로 TDD 패킷 전송을 할 수 있어 매우 효율적이다.

또한, 글로벌 클럭에 동기되어 패킷 전송이 멈춤없이 이루어지므로 라우팅 속도가 향상되어 각 노드간 패킷 전송속도가 빨라지게 되는 효과가 있다.

(57) 청구의 범위

청구항 1

송신측 노드로부터 패킷 전송 준비신호가 있는지를 검출하여 패킷 전송 준비신호가 있는 해당 노드를 리드하도록 알리는 검출부(2)와, 상기 검출부(2)로부터 패킷 전송 준비신호가 있는 해당 노드가 알려지면 이를 리드하고 이에 따른 응답신호를 상기 검출부(2)로 전송하며, 해당 노드의 Tx FIFO(1)에 저장된 패킷 데이터를 전송하기 위해 글로벌 클럭에 따른 Tx FIFO 리드 클럭을 상기 Tx FIFO(1)에 출력하고, 상기 패킷 데이터의 플래그를 추출하여 유효 패킷인 경우 인패킷 신호를 출력하는 리드부(3)와, 상기 리드부(3)의 Tx FIFO 리드 클럭에 의해 출력되는 상기 Tx FIFO(1)의 패킷 데이터를 입력하여 저장하고, 글로벌 클럭에 따른 Rx FIFO 라이트 클럭에 의해 상기 저장된 패킷 데이터를 수신측 노드로 전송하는 쉬프트 레지스터(4)와, CPU 데이터와 어드레스 신호에 따라 상기 쉬프트 레지스터(4)에 전송된 패킷 데이터의 상위 3 바이트에서 목적지 노드의 어드레스를 추출하여 목적지 노드 정보를 출력하는 어드레스 필터(5)와, 상기 리드부(3)의 인패킷 신호와 어드레스 필터(5)의 목적지 노드 정보에 따라 상기 쉬프트 레지스터(4)가 패킷 데이터를 수신측 노드의 Rx FIFO(7)로 전송하기 위한 Rx FIFO 라이트 클럭을 출력하는 라이트부(6)로 구성됨을 특징으로 하는 패킷 라우터장치.

청구항 2

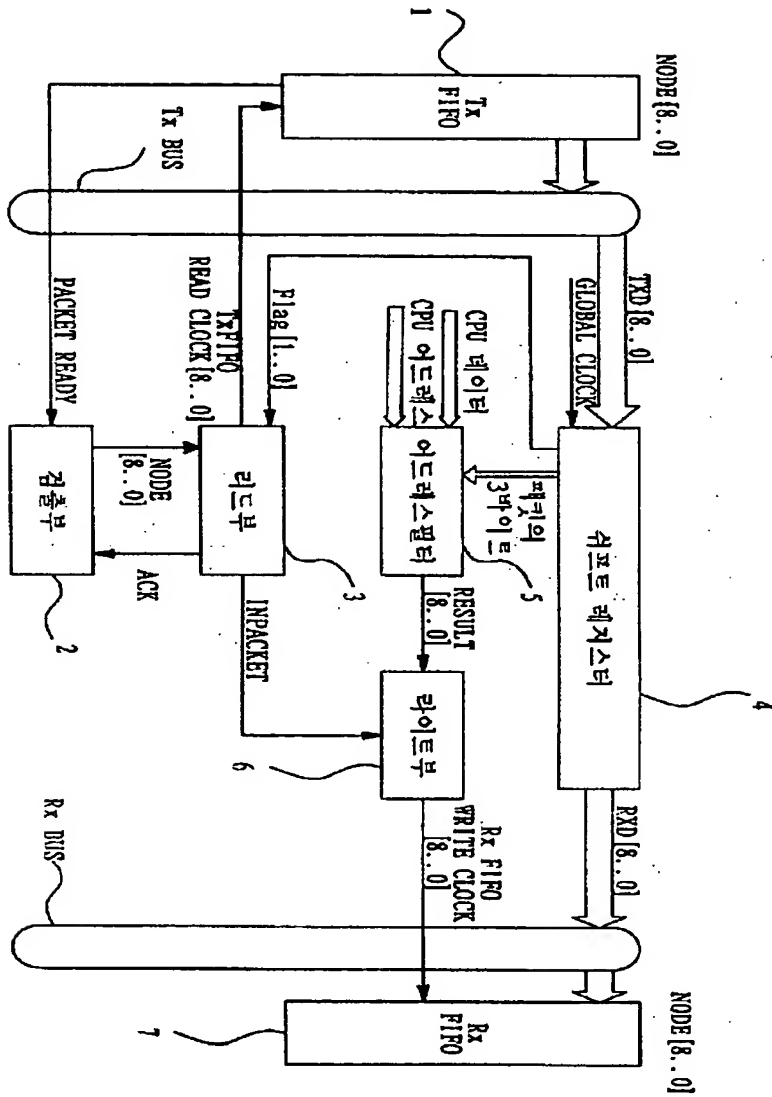
제 1항에 있어서, 상기 어드레스 필터(5)는 상기 쉬프트 레지스터(4)에 전송된 유효 패킷 데이터의 3 바이트 중 첫 바이트를 추출하여 CPU가 레지스터에 셋팅시킨 브로드캐스팅을 의미하는 값과 상기 추출된 첫 바이트를 비교하여 서로 같으면 나머지 2 바이트에 해당하는 어드레스이 모든 노드로 패킷을 전송함으로써 브로드캐스팅 기능을 수행함을 특징으로 하는 패킷 라우터장치.

청구항 3

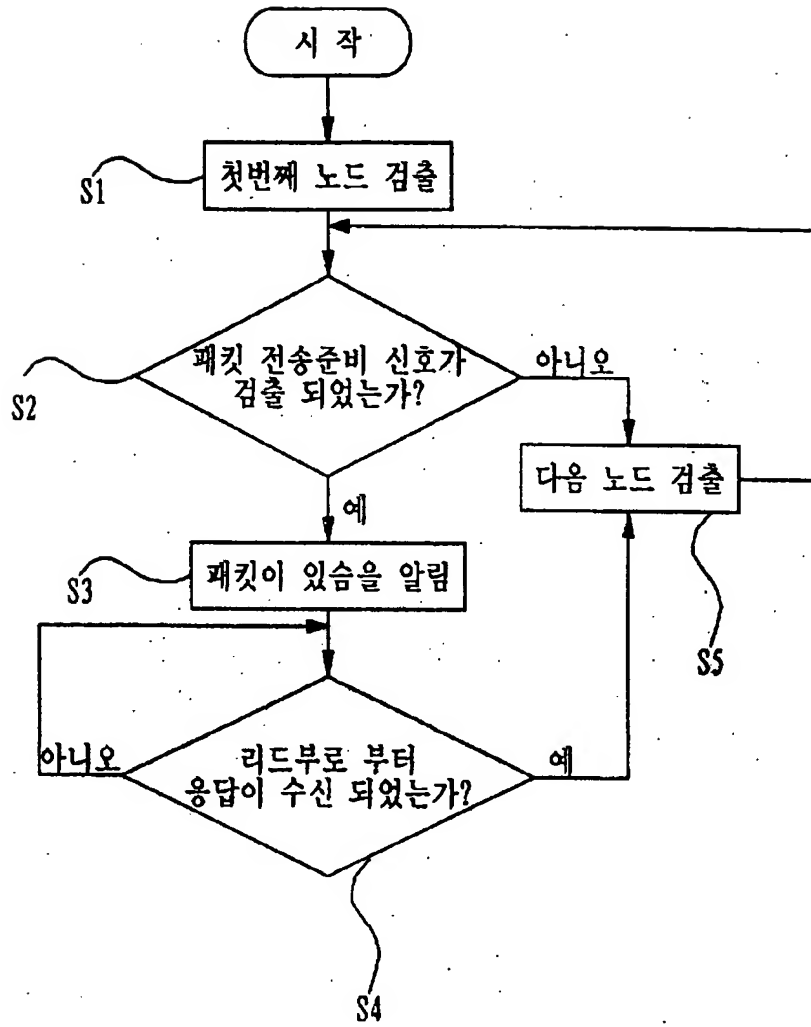
제 1항에 있어서, 상기 어드레스 필터(5)는 CPU가 레지스터에 셋팅시킨 각 노드에 해당하는 9비트와 목적지 노드 정보를 논리합함으로써 특정 노드를 블로킹함을 특징으로 하는 패킷 라우터장치.

도면

도면



도면2



도면3

